



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000294625 A**(43) Date of publication of application: **20.10.00**

(51) Int. Cl.

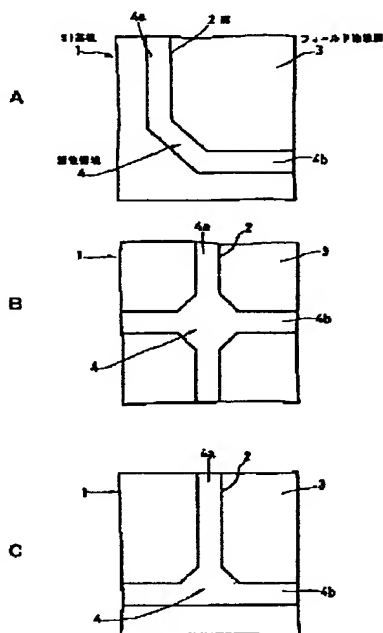
H01L 21/76**H01L 21/304**(21) Application number: **11096281**(71) Applicant: **SONY CORP**(22) Date of filing: **02.04.99**(72) Inventor: **GOCHO TETSUO**(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can suppress the occurrence of crystal defect in a semiconductor substrate even if heat treatment is conducted after a groove for isolating elements is formed in the semiconductor substrate and which can obtain a high reliability.

SOLUTION: In a semiconductor substrate in which an Si substrate 1 with elements isolated by the STI method is used, in the case where it is provided with a part in which active areas cross each other at 90° or less, the active area 4 adjacent to the crossing part is bent at 90° or more. In addition, the crossing part in the active area 4 is removed, and the active areas 4 on both ends of the removed part may be connected with each other by an upper-layer wiring.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294625

(P2000-294625A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.

識別記号

F I

テーマト* (参考)

H 0 1 L 21/76

H 0 1 L 21/76

N 5 F 0 3 2

21/304

21/304

審査請求 未請求 請求項の数17 O L (全 15 頁)

(21) 出願番号

特願平11-96281

(22) 出願日

平成11年4月2日 (1999. 4. 2)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 牛藤 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

Fターム (参考) 5F032 AA34 AA44 AA45 BA01 BA02

BA05 CA03 CA14 CA17 DA03

DA04 DA23 DA24 DA25 DA33

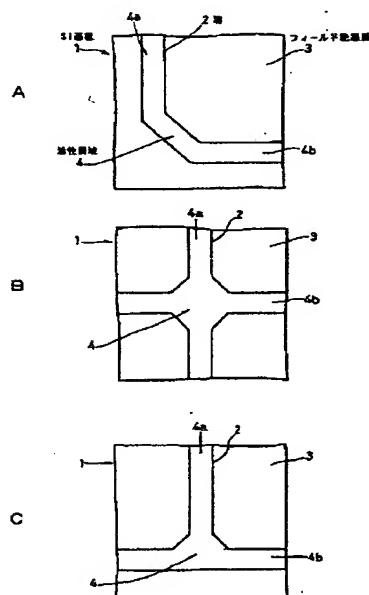
DA53 DA74

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体基板に素子分離用の溝を形成した後、熱処理を行うようにしても、半導体基板に結晶欠陥が発生するのを抑制することができ、高い信頼性を得ることができる半導体装置を提供する。

【解決手段】 STI法により素子分離のなされたSi基板1を用いた半導体装置において、活性領域4が互いに90度以下の角度で交差する部分を有する場合に、交差部分の近傍における活性領域4を90度より大きい角度で屈曲させる。また、活性領域4のうちの交差部分を除去し、この除去部の両端の活性領域4を上層配線6により相互に接続してもよい。



【特許請求の範囲】

【請求項1】 一主面に素子分離用の溝が設けられ、上記溝の内部に絶縁膜が埋め込まれた構造の素子分離領域を有すると共に、上記素子分離領域によって囲まれた部分に活性領域を有する半導体基板を用いた半導体装置において、

上記活性領域が互いに90度以下の角度で交差する部分を有する場合に、上記交差する部分の近傍における上記活性領域を90度より大きい角度で屈曲させたことを特徴とする半導体装置。

【請求項2】 上記半導体装置は、上記半導体基板上に上記溝を形成した後、熱処理工程を経て製造されたものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記溝の内壁上記半導体基板を熱酸化することによって形成された酸化膜が設けられていることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記絶縁膜は熱処理によって緻密化されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記半導体基板上に不純物が導入されていると共に、上記不純物が熱処理によって活性化されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記半導体基板はシリコン基板であることを特徴とする請求項1記載の半導体装置。

【請求項7】 上記絶縁膜は酸化シリコンからなることを特徴とする請求項6記載の半導体装置。

【請求項8】 上記溝は、上記シリコン基板上に酸化シリコン膜および窒化シリコン膜を順次形成し、上記窒化シリコン膜および上記酸化シリコン膜を所定形状にパターニングした後、上記窒化シリコン膜および上記酸化シリコン膜をマスクとして上記シリコン基板をエッチングすることにより形成されたものであることを特徴とする請求項6記載の半導体装置。

【請求項9】 一主面に素子分離用の溝が設けられ、上記溝の内部に絶縁膜が埋め込まれた構造の素子分離領域を有すると共に、上記素子分離領域によって囲まれた部分に活性領域を有する半導体基板を用いた半導体装置において、

上記活性領域が互いに90度以下の角度で交差する部分を有する場合に、上記活性領域のうちの上記交差する部分を除去し、この除去部の両端の上記活性領域を配線により相互に接続したことを特徴とする半導体装置。

【請求項10】 上記配線は上記半導体基板上に層間絶縁膜を介して設けられていることを特徴とする請求項9記載の半導体装置。

【請求項11】 上記半導体装置は、上記半導体基板上に上記溝を形成した後、熱処理工程を経て製造されたものであることを特徴とする請求項9記載の半導体装置。

【請求項12】 上記溝の内壁上記半導体基板を熱酸化することによって形成された酸化膜が設けられていることを特徴とする請求項9記載の半導体装置。

【請求項13】 上記絶縁膜は熱処理によって緻密化されていることを特徴とする請求項9記載の半導体装置。

【請求項14】 上記半導体基板上に不純物が導入されていると共に、上記不純物が熱処理によって活性化されていることを特徴とする請求項9記載の半導体装置。

【請求項15】 上記半導体基板はシリコン基板であることを特徴とする請求項9記載の半導体装置。

【請求項16】 上記絶縁膜は酸化シリコンからなることを特徴とする請求項15記載の半導体装置。

10 【請求項17】 上記溝は、上記シリコン基板上に酸化シリコン膜および窒化シリコン膜を順次形成し、上記窒化シリコン膜および上記酸化シリコン膜を所定形状にパターニングした後、上記窒化シリコン膜および上記酸化シリコン膜をマスクとして上記シリコン基板をエッチングすることにより形成されたものであることを特徴とする請求項15記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、半導体基板上における素子分離をトレンチ素子分離法により行った高集積度の半導体装置に関する。

【0002】

【従来の技術】シリコン(Si)基板の素子分離技術としては、従来より、Si基板上に選択的に耐酸化マスクを形成し、その後、熱酸化を行うことにより選択的に素子分離領域を形成するようにしたLOCOS(Local Oxidation of Silicon)法が知られている。

【0003】しかしながら、このLOCOS法では、Si基板を熱酸化する際に横方向にも酸化反応が広がり、いわゆるバズピークと呼ばれるフィールド絶縁膜の横方向への成長分が存在するため、半導体装置の微細化、高集積化が進むにつれ活性領域の確保が難しくなっている。

【0004】そこで、この問題に対応する新たな素子分離技術として、トレンチ素子分離(Shallow Trench Isolation, 以下、STIと言う)法が注目されている。STI法は、図10～図11に示すように、Si基板101の素子分離を行いたい領域に溝102を形成し、その溝102の内部に二酸化シリコン(SiO₂)などの絶縁膜を埋め込むことでフィールド絶縁膜103を形成し、これによって素子分離領域を形成する技術である。

【0005】このSTI法によるSi基板の素子分離方法について具体的に説明する。まず、図10Aに示すように、熱酸化法により、Si基板101の一主面にSiO₂からなるパッド酸化膜111を形成する。次に、減圧化学気相成長(LPCVD)法により、パッド酸化膜111上に窒化シリコン(Si₃N₄)膜112を形成する。

【0006】次に、図10Bに示すように、リソグラフィ法により、Si₃N₄膜112上に、素子分離領域に

対応する部分に開口部を有するレジストパターン113を形成した後、このレジストパターン113をマスクとして、ドライエッチング法によりSi、N、膜112およびパッド酸化膜111をエッチングする。これにより、素子分離領域に対応する部分におけるSi、N、膜112およびパッド酸化膜111に開口部112aが形成される。その後、エッチングマスクとして用いたレジストパターン113を除去する。

【0007】次に、図10Cに示すように、Si、N、膜112およびパッド酸化膜111をマスクとして、ドライエッチング法によりSi基板101を所定の深さエッチングする。これにより、Si基板101の素子分離領域に対応する部分に溝102が形成される。

【0008】次に、熱酸化法により、溝102の内壁にSiO₂膜（熱酸化膜）を形成する。この熱酸化膜の形成により溝102のコーナー部（トレンチコーナー）が丸まり、この部分への電界集中を緩和することができる。次に、図11Aに示すように、高密度プラズマCVD法により、溝102および開口部112aを埋めるようにして、全面にSiO₂膜114を形成する。次に、SiO₂膜114を酸素を含む雰囲気中または窒素を含む雰囲気中で所定の条件で熱処理することにより、このSiO₂膜114を緻密化する。次に、図11Bに示すように、溝102および開口部112aの内部のみにSiO₂膜114を残すように、Si、N、膜112上に存在するSiO₂膜114を化学機械研磨（CMP）法により研磨、除去する。

【0009】次に、ホットリン酸を用いたウエットエッチング法によりSi、N、膜112を除去する。次に、フッ酸を用いたウエットエッチング法によりパッド酸化膜111を除去する。これにより、図11Cに示すように、溝102の内部にSiO₂からなるフィールド絶縁膜103が埋め込まれた構造の素子分離領域が形成される。符号104は、フィールド絶縁膜103によって囲まれた活性領域を示す。

【0010】上述したSTI法によれば、Si基板101に形成された溝102の内部にSiO₂膜114を埋め込むことによってフィールド絶縁膜103を形成するようにしているため、LOCOS法のようにフィールド絶縁膜にパズピークが発生することがなく、また、溝102の内部を埋めるようにSiO₂膜114を堆積した後、CMP法により表面を平坦化するようにしているため、高精度リソグラフィに必要な表面平坦性を確保することができるという利点が得られる。

【0011】

【発明が解決しようとする課題】しかしながら、本発明者の知見によれば、上述のSTI法によりSi基板101の素子分離を行うようにした場合、溝102の内壁に熱酸化法によりSiO₂膜を形成する際に、Si基板101に局所的に結晶欠陥が発生することが確認されてい

る。この結晶欠陥は、SiO₂膜が粘性流動性を持たない約900℃以下の温度で酸化を行った場合に発生し易く、かつ、そのSiO₂膜の厚さが厚いほど発生し易い。また、溝102にSiO₂膜114を埋め込んだ後に熱処理を施した場合も同様にSi基板101に局所的に結晶欠陥が発生し、特に、この熱処理を酸化性ガス雰囲気中で行った場合に発生し易い。Si基板101にこのような結晶欠陥が存在すると、その欠陥部分に金属汚染物が集まりリーク電流の増大をもたらす、出来上がった半導体装置の信頼性低下を引き起こすという問題が生じる。このため、溝102の内壁に熱酸化膜を形成することによる利点が損なわれてしまう。

【0012】この問題について図面を参照して具体的に説明する。すなわち、図12は、STI法によりSi基板の素子分離が行われた従来の半導体装置の平面図である。ここで、図12Aは、活性領域104を直角に屈曲させた活性領域の屈曲部（直角屈曲部）の近傍を示し、図12Bおよび図12Cは、それぞれ活性領域104を直角に交差させた活性領域の交差点（直角交差点）の近傍を示す。本発明者の知見によれば、上述の結晶欠陥は、Si基板101のうち、図12A～図12Cに示すような活性領域の直角屈曲部や直角交差点の近傍に特に発生しやすいことが確認されている。これは、これらの図12A～図12Cに示す部分は、いずれも、活性領域104が互いに90°の角度で交差する部分であり、その交差部分の周囲のトレンチコーナーの角度が90°となっているため、熱処理時に、その部分にストレスが集中するため、結晶欠陥が発生しやすくなっていると考えられる。

【0013】上述の結晶欠陥は、溝102の内壁に熱酸化膜を形成するための熱酸化工程や、埋め込み材料となるSiO₂膜114形成後の熱処理工程に限らず、Si基板101に溝102を形成した後熱処理を行った場合に同様に発生しうる問題である。本発明者の知見によれば、Si基板101に導入された不純物を活性化するために行われる熱処理工程の際にも、Si基板101に同様な結晶欠陥が発生することが確認されている。

【0014】したがって、この発明の目的は、半導体基板に素子分離用の溝を形成した後熱処理を行うようにしても、半導体基板に結晶欠陥が発生するのを抑制することができ、高い信頼性を得ることができる半導体装置を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、一主面に素子分離用の溝が設けられ、溝の内部に絶縁膜が埋め込まれた構造の素子分離領域を有すると共に、素子分離領域によって囲まれた部分に活性領域を有する半導体基板を用いた半導体装置において、活性領域が互いに90度以下の角度で交差する部分を有する場合に、交差する部分の近傍にお

る活性領域を90度より大きい角度で屈曲させたことを特徴とするものである。

【0016】この発明の第1の発明においては、半導体基板に結晶欠陥が発生するのをより効果的に抑制する観点から、活性領域が互いに90度以下の角度で交差する部分を有する場合に、交差する部分の近傍における活性領域を好適には100度以上の角度で屈曲させ、より好適には135度以上の角度で屈曲させる。

【0017】この発明の第2の発明は、一主面に素子分離用の溝が設けられ、溝の内部に絶縁膜が埋め込まれた構造の素子分離領域を有すると共に、素子分離領域によって囲まれた部分に活性領域を有する半導体基板を用いた半導体装置において、活性領域が互いに90度以下の角度で交差する部分を有する場合に、活性領域のうちの交差する部分を除去し、この除去部の両端の活性領域を配線により相互に接続したことを特徴とするものである。

【0018】この発明の第2の発明においては、活性領域を相互に接続する配線は、典型的には、半導体基板上に層間絶縁膜を介して設けられる。なお、層間絶縁膜上に上層配線が設けられる場合は、活性領域を相互に接続する配線をその上層配線と同一層の材料により構成することが好ましい。

【0019】この発明において、半導体基板としては、典型的にはシリコン基板が用いられる。この場合、シリコン基板は、シリコン基板そのものであってもよく、あるいは、シリコン基板などの基板上に例えばエピタキシャル成長によるシリコン膜が設けられたものであってもよい。この発明において、半導体基板としてシリコン基板を用いる場合、溝の内部に埋め込む絶縁膜の材料としては、典型的には酸化シリコンが用いられる。また、この発明において、半導体基板としてシリコン基板を用いる場合、素子分離用の溝は、典型的には、シリコン基板上に酸化シリコン膜および窒化シリコン膜を順次形成し、窒化シリコン膜および酸化シリコン膜を所定形状にパターニングした後、窒化シリコン膜および酸化シリコン膜をマスクとしてシリコン基板をエッチングすることにより形成される。

【0020】この発明において、半導体装置は、典型的には、半導体基板に溝を形成した後、熱処理工程を経て製造される。このような熱処理工程としては、例えば、半導体基板を熱酸化することにより溝の内壁に酸化膜を形成するために行われる熱処理工程、半導体基板上に溝の内部を埋めるように絶縁膜を形成した後、絶縁膜を緻密化するために行われる熱処理工程、半導体基板に導入された不純物を活性化するために行われる熱処理工程などがある。

【0021】なお、この発明の第1の発明および第2の発明は、適宜、組み合わせる用いることが可能である。

【0022】上述のように構成されたこの発明の第1の

発明によれば、活性領域が互いに90度以下の角度で交差する部分を有する場合に、その交差部分の近傍における活性領域を90度より大きい角度で屈曲させ、その交差部分の周囲の溝のコーナー部を切除していることにより、溝形成後の熱処理時に、活性領域の交差部分の近傍に加わるストレスを従来に比べて緩和することができる。そのため、半導体基板に溝を形成した後熱処理を行うようにしても、その熱処理によって半導体基板中に結晶欠陥が発生するのを抑制することができる。

10 【0023】上述のように構成されたこの発明の第2の発明によれば、活性領域が互いに90度以下の角度で交差する部分を有する場合に、活性領域のうちのその交差部分を除去し、この除去部の両端の活性領域を配線によって相互に接続し、活性領域が互いに90度以下の角度で交差する部分を半導体基板から取り除くようにしていることにより、半導体基板に溝を形成した後熱処理を行うようにしても、その熱処理によって半導体基板中に結晶欠陥が発生するのを抑制することができる。

【0024】

20 【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0025】まず、この発明の第1の実施形態について説明する。図1は、この発明の第1の実施形態による半導体装置の平面図である。

30 【0026】図1に示すように、この第1の実施形態による半導体装置においては、Si基板1の素子分離領域に対応する部分に設けられた素子分離用の溝2の内部に、例えばSiO₂からなるフィールド絶縁膜3が埋め込まれ、これによって素子分離が行われている。符号4は、フィールド絶縁膜3によって囲まれた活性領域を示す。ここで、この第1の実施形態による半導体装置においては、活性領域4が互いに90°以下の角度で交差する部分を有する場合に、その交差部分の近傍における活性領域4を90°より大きい角度で屈曲させているのが特徴的である。

40 【0027】例えば、図1Aは、この第1の実施形態による半導体装置のうち、従来の半導体装置の図12Aに示す部分、すなわち、活性領域104を90°屈曲させた活性領域の直角屈曲部に相当する部分の近傍を示す。図1A中、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとは互いに垂直な方向に延在し、活性領域4a、4bの幅は例えば0.数μm～数μm程度である。

50 【0028】図1Aに示すように、この第1の実施形態による半導体装置のうち、L形状の活性領域の直角屈曲部に相当する部分においては、縦方向に延在する活性領域4aの延長線と横方向に延在する活性領域4bの延長線とが交差する部分の近傍で、活性領域4を90°よ

り大きい角度で、好適には 100° 以上の角度で、より好適には 135° 以上の角度で2段階に渡って屈曲させることにより、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとが繋げられている。図1Aに示す例では、活性領域4をほぼ等角度で2段階に渡って屈曲させている。この場合、各屈曲部における活性領域4の屈曲角度は 135° である。この第1の実施形態による半導体装置と従来の半導体装置とを比較すると、図12Aに示すように活性領域104を 90° 屈曲させた従来の半導体装置では、屈曲部の周囲の溝102のコーナー部および活性領域104のコーナー部がそれぞれ直角になっているのに対して、図1Aに示すように活性領域4を 90° より大きい角度で2段階に渡って屈曲させたこの第1の実施形態による半導体装置では、屈曲部の周囲の溝2のコーナー部および活性領域4のコーナー部がテーパー状に切除(面取り)された構造となっている。

【0029】また、図1Bおよび図1Cは、この第1の実施形態による半導体装置のうち、従来の半導体装置の図12Bおよび図12Cに示す部分、すなわち、活性領域104を互いに 90° の角度で交差させた活性領域の直角交差点に相当する部分の近傍を示す。図1Bおよび図1C中、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとは互いに垂直な方向に延在し、活性領域4a、4bの幅は例えば0.数 μm 〜数 μm 程度である。

【0030】図1Bおよび図1Cに示すように、この第1の実施形態による半導体装置のうち、十字形状およびT字形の活性領域の直角交差点に相当する部分においては、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとが交差する部分の近傍で、活性領域4のエッジを 90° より大きい角度で、好適には 100° 以上の角度で、より好適には 135° 以上の角度で2段階に渡って屈曲させている。図1Bおよび図1Cに示す例では、活性領域4のエッジをほぼ等角度で2段階に渡って屈曲させている。この場合、各屈曲部における活性領域4のエッジの屈曲角度は 135° である。また、図1Bおよび図1Cに示す例では、活性領域4のエッジを屈曲させる際に、両側のエッジを、活性領域4a、4bの中心線に対してほぼ対称に屈曲させている。この第1の実施形態による半導体装置と従来の半導体装置とを比較すると、図12Bおよび図12Cに示すように活性領域104のエッジを 90° 屈曲させた従来の半導体装置では、交差点の周囲の溝102のコーナー部が直角になっているのに対して、図1Bおよび図1Cに示すように活性領域4を 90° より大きい角度で2段階に渡って屈曲させたこの第1の実施形態による半導体装置では、交差点の周囲の溝2のコーナー部がテーパー状に切除(面取り)された構造となっている。

【0031】ここで、図1A〜図1Cに示す例では、活

性領域4aと活性領域4bとが交差する部分の近傍で、活性領域4またはそのエッジをほぼ等角度で屈曲させているが、これは、活性領域4またはそのエッジは異なる角度で屈曲させてもよい。また、図1A〜図1Cに示す例では、活性領域4aと活性領域4bとが交差する部分の近傍で、活性領域4またはそのエッジをほぼ2段階に渡って屈曲させているが、これは、活性領域4またはそのエッジを3段階以上に渡って屈曲させてもよい。この際、活性領域4またはそのエッジの屈曲の段数を多くすることにより、屈曲部および交差点の周囲の溝2のコーナー部にアールをつけるようにしてもよい。また、図1Bおよび図1Cに示す例では、活性領域4のエッジを屈曲させる際に、両側のエッジを、活性領域4の中心線に対してほぼ対称に屈曲させているが、これは、必ずしも対称とする必要はない。

【0032】また、図示は省略するが、この第1の実施形態による半導体装置のうち、従来の半導体装置において活性領域104が互いに 90° より小さい角度で交差する部分に相当する部分も、上述の図1A〜図1Cに示すと同様に、その交差部分の近傍における活性領域4を 90° より大きい角度で屈曲させている。

【0033】次に、図1および図2を参照して、この第1の実施形態による半導体装置の詳細な構造について説明する。なお、図2は、この第1の実施形態による半導体装置の構造を説明するための断面図である。

【0034】図1および図2に示すように、この第1の実施形態による半導体装置においては、Si基板1の一主面に素子分離用の溝2が設けられている。溝2の一方における幅は、狭いもので例えば0.25 μm 程度、広いもので例えば数 μm 程度であり、溝2の深さは例えば40.0nm程度である。図示は省略するが、溝2の内壁はSiO₂膜(熱酸化膜)によって覆われている。溝2の内部に埋め込まれたフィールド絶縁膜3は、例えば熱処理によって緻密化されている。フィールド絶縁膜3によって囲まれた活性領域4の一方における幅は、狭いもので例えば0.数 μm 程度、広いもので例えば数 μm 程度である。

【0035】図示は省略するが、Si基板1のうち、例えば、MOSFET形成領域においては、活性領域4中にpウェルが設けられ、この活性領域4上にSiO₂からなるゲート絶縁膜を介して例えば多結晶Siからなるゲート電極(下層配線)が設けられている。ゲート電極の側面には、例えばSiO₂からなるサイドウォールスペーサが設けられている。この活性領域4中には、ゲート電極に対して自己整合的にn⁺型の拡散層からなるソース領域およびドレイン領域が設けられている。ソース領域およびドレイン領域は、それぞれサイドウォールスペーサの下側の部分にn⁻型の低不純物濃度部を有する。ゲート絶縁膜、ゲート電極、n⁺型のソース領域およびn⁺型のドレイン領域によりLDD構造のnチャネ

ルMOSFETが構成されている。Si基板1には、このようなMOSFETの他、キャパシタなどの各種の素子が設けられている。なお、Si基板1(活性領域4)中に導入された不純物は、熱処理によって活性化されている。

【0036】Si基板1上には、その表面に設けられたMOSFETなどの素子を覆うように、例えばSiO₂からなる層間絶縁膜5が設けられている。図示は省略するが、層間絶縁膜5の所定部分には、Si基板1に設けられた拡散層や下層配線に達する接続孔が設けられている。この接続孔の内部には、例えばTiN/Ti膜を密着層(下地バリアメタル)として例えばWプラグが埋め込まれている。層間絶縁膜5上には、例えばAlまたはAl合金からなる上層配線6が設けられている。この上層配線6は、図1および図2では図示されない領域において、絶縁膜5の接続孔を介してSi基板1に設けられた拡散層や下層配線などと接続されている。なお、上層配線6は溝配線としてもよい。また、層間絶縁膜5に設けられた接続孔の内部を、Wプラグに代えて上層配線6で埋め込んでもよい。また、上層配線6の材料としては、AlまたはAl合金に代えてCuまたはCu合金を用いてもよい。

【0037】次に、この第1の実施形態による半導体装置の製造方法について説明する。図3～図6は、この第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【0038】この第1の実施形態による半導体装置を製造するためには、まず、STI法によりSi基板1の素子分離を行う。具体的には、図3Aに示すように、例えば熱酸化法により、Si基板1の一主面にSiO₂からなるパッド酸化膜11を形成する。次に、例えば減圧化学気相成長(LPCVD)法により、パッド酸化膜11上にSi、N、膜12を形成する。このLPCVD法によるSi、N、膜12の形成条件の一例を挙げると、原料ガスとして、ジクロロシラン(SiH₂Cl₂)、アンモニア(NH₃)および窒素(N₂)の混合ガスを用い、SiH₂Cl₂ガスの流量を50sccm、NH₃ガスの流量を200sccm、N₂ガスの流量を200sccmとし、成長圧力を70Pa、基板温度を760℃とする。

【0039】次に、図3Bに示すように、Si、N、膜12上に、例えばリソグラフィ法により、素子分離領域に対応する部分に開口部を有するレジストパターン13を形成する。次に、このレジストパターン13をマスクとして、例えばドライエッチング法、具体的には、例えば平行平板プラズマエッチング装置を用いたドライエッチング法により、Si、N、膜12およびパッド酸化膜11をエッチングする。このときのエッチング条件の一例を挙げると、プロセスガスとしてCF₄、およびArの混合ガスを用い、CF₄ガスの流量を75sccm、A

rガスの流量を25sccmとし、圧力を5.3Pa、高周波出力を600Wとする。これにより、素子分離領域に対応する部分におけるSi、N、膜12およびパッド酸化膜11に開口部12aが形成される。その後、エッチングマスクとして用いたレジストパターン13を除去する。なお、この第1の実施形態においては、Si基板1に溝2を形成する際に、Si、N、膜12およびパッド酸化膜11をバターニングした後、エッチングマスクとして用いたレジストパターン13を除去してからSi、N、膜12をマスクとしてSi基板1をエッチングするようにしているが、これは、Si、N、膜12およびパッド酸化膜11をバターニングした後、エッチングマスクとして用いたレジストパターン13を残したまま、このレジストパターン13をマスクとしてSi基板1をエッチングするようにしてもよい。

【0040】次に、図4Aに示すように、素子分離領域に対応する部分に開口部12aが形成されたSi、N、膜12およびパッド酸化膜11をマスクとして、例えばドライエッチング法、具体的には、例えばECRプラズマエッチング装置のような高密度プラズマエッチング装置を用いたドライエッチング法により、Si基板1を所定の深さエッチングする。このときのエッチング条件の一例を挙げると、プロセスガスとしてCl₂、およびO₂の混合ガスを用い、Cl₂ガスの流量を60sccm、O₂ガスの流量を10sccmとし、圧力を1.3Pa、マイクロ波電力を850W、高周波電力を150Wとする。これにより、Si基板1に素子分離用の溝2が形成される。

【0041】次に、図示は省略するが、熱酸化法により、Si基板1に形成された溝2の内壁にSiO₂膜(熱酸化膜)を形成する。この熱酸化膜を形成する際には、結晶欠陥の発生を極力抑える観点から、例えば基板温度を1000℃として熱酸化を行い、熱酸化膜の厚さは20nm程度とする。この熱酸化膜の形成により溝2のコーナ部分が丸まり、この部分への電界集中を緩和することができる。また、このように溝2の内壁に熱酸化膜を形成しておくことにより、溝2の内部に埋め込み材料としてのSiO₂膜を直接埋め込む場合に比べて、Si/SiO₂界面のトラップ密度を低減することができ、より特性の良好な半導体装置を製造することができる。

【0042】次に、図4Bに示すように、例えばCVD法、好適には埋め込み特性の良好な高密度プラズマCVD法により、溝2および開口部12aの内部を埋めるようにして、全面にSiO₂膜14を形成する。このときの高密度プラズマCVD法によるSiO₂膜14の成膜条件の一例を挙げると、反応ガスとしてシラン(SiH₄)、O₂およびArの混合ガスを用い、SiH₄ガスの流量を300sccm、O₂ガスの流量を700sccm、Arガスの流量を300sccmとし、圧力を

0.1Pa、マイクロ波電力を3000W、高周波電力を2000Wとする。この高密度プラズマCVD法によるSiO₂膜14の成膜の際には、エッチングと堆積とが同時進行するため、溝2の上にはSiO₂膜14が平坦に堆積し、Si、N、膜12の上にはSiO₂膜14がエッジ部分から内側に例えば45°傾斜した斜面を形成しながら堆積してゆく。このとき、幅の狭い活性領域に対応する部分では、Si、N、膜12上に堆積したSiO₂膜14の両側から延びる斜面が中央部で交差し、幅の広い活性領域に対応する部分では、Si、N、膜12上に堆積したSiO₂膜14の両側の斜面が交差せず中央に平坦部が形成される。

【0043】次に、例えば酸素などの酸化性ガスを含む雰囲気中でSiO₂膜14を熱処理することにより、このSiO₂膜14を緻密化する。このときの熱処理は、例えばO₂ガス雰囲気中で900℃以上の温度で行う。なお、この熱処理は、N₂などの不活性ガス雰囲気中で行ってもよい。

【0044】次に、図5Aに示すように、リソグラフィ法により、SiO₂膜14上に所定形状のレジストパターン15を形成する。このレジストパターン15には、SiO₂膜14に形成された平坦部を囲むように開口部15aが設けられている。

【0045】次に、図5Bに示すように、レジストパターン15をマスクとして、例えばドライエッチング法により、具体的には、例えばマグネトロンエッチング装置を用いたドライエッチング法により、開口部15aにおけるSiO₂膜14を、その下地のSi、N、膜12の表面が露出するまでエッチングする。このときのエッチング条件の一例を挙げると、プロセスガスとしてC、F、COおよびArの混合ガスを用い、C、F、ガスの流量を5sccm、COガスの流量を4sccm、Arガスの流量を100sccmとし、圧力を2.7Pa、高周波電力を800Wとする。これにより、SiO₂膜14に形成された平坦部が除去され、その周囲に突起部14aが形成される。その後、エッチングマスクとして用いたレジストパターン15を除去する。

【0046】次に、図6Aに示すように、CMP法により、Si、N、膜12を研磨ストッパーとして、溝2および開口部12aの内部のみにSiO₂膜14を残すように、Si、N、膜12上に堆積したSiO₂膜14を研磨、除去する。このときのCMP条件の一例を挙げると、KOH水溶液中に研磨材としてのシリカ粒子(14wt%)を分散させたスラリーを用い、研磨プレートの回転数を20rpm、ウェハ保持試料台の回転数を20rpmとし、研磨圧力を500gf/cm²とする。

【0047】次に、図6Bに示すように、ホットリン酸を用いたウェットエッチング法によりSi、N、膜12を除去する。次に、フッ酸を用いたウェットエッチング法によりパッド酸化膜11を除去する。これにより、S

i基板1に形成された溝2の内部に、SiO₂からなるフィールド絶縁膜3が形成され、活性領域4が表面に露出する。以上により、Si基板1の素子分離が行われる。

【0048】次に、従来公知の方法により、MOSFETやキャパシタなどの各種の素子を形成する。ここで、LDD構造のnチャネルMOSFETを形成する場合は、活性領域4の表面を犠牲酸化した後、活性領域4中に、例えばイオン注入法によりホウ素(B)のようなp型不純物をドーブすし、pウェルを形成する。次に、例えばフッ酸を用いたウェットエッチング法により犠牲酸化膜を除去する。例えば熱酸化法により活性領域4の表面にSiO₂膜のようなゲート絶縁膜を形成する。次に、例えばCVD法により、ゲート電極材料としての多結晶Si膜を全面に形成した後、例えばRIE法によりこの多結晶Si膜を所定形状にパターニングすることにより、ゲート絶縁膜上にゲート電極を形成する。

【0049】次に、ゲート電極をマスクとして、活性領域4中に、例えばイオン注入法により例えばリン(P)のようなn型不純物を低濃度にドーブする。これによって、活性領域4に、ゲート電極に対して自己整合的にn⁺型領域が形成される。次に、例えばCVD法により、所定の厚さのSiO₂膜を全面に形成した後、このSiO₂膜を例えばRIE法により、Si基板1の表面と垂直方向にエッチバックして、ゲート電極の側面にサイドウォールスペーサを形成する。次に、ゲート電極およびサイドウォールスペーサをマスクとして、活性領域4中に、例えばイオン注入法により例えば砒素(As)のようなn型不純物を高濃度にドーブする。次に、必要に応じて注入不純物の電気的活性化のため熱処理を行う。この熱処理は、例えば800℃で10分間行う。これによって、活性領域4中に、サイドウォールスペーサに対して自己整合的にn⁺型のソース領域およびドレイン領域が形成される。これにより、LDD構造のnチャネルMOSFETが形成される。

【0050】上述のようにSi基板1に各種の素子を形成した後、図2に示すように、Si基板1に形成された素子を覆うように、例えばCVD法により、Si基板1上にSiO₂膜のような層間絶縁膜5を形成する。次に、例えばCMP法により、層間絶縁膜5の表面を平坦化する。次に、層間絶縁膜5上に、リソグラフィ法により所定形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばRIE法により層間絶縁膜5をエッチングすることにより、接続孔を形成する。次に、例えばスパッタリング法により、接続孔の内壁を含む全面にTi膜およびTiN膜を順次形成して、TiN/Ti膜を形成する。次に、例えばCVD法により、全面にW膜を形成して接続孔を埋める。次に、例えばRIE法により、接続孔の内部以外の部分に形成されたW膜およびTiN/Ti膜をエッチン

グ除去する。これにより、接続孔内にTiN/Ti膜を密着層としてWプラグが形成される。次に、例えばスパッタリング法によりAl合金膜を全面に形成し、このAl膜上に所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により、Al膜の所定部分をエッチング除去してパターンニングする。これにより、Al合金からなる上層配線6が形成される。この後、このエッチングマスクに用いたレジストパターンを除去する。

【0051】以上により、目的とする半導体装置を完成させる。

【0052】上述のように構成されたこの第1の実施形態によれば、活性領域4が互いに90°の角度で交差する部分を有する場合に、その交差部分の近傍における活性領域4を90°より大きい角度で屈曲させ、その交差部分の周囲の溝2のコーナー部を切除していることにより、溝2の内壁に熱酸化膜を形成するための熱酸化工程、フィールド絶縁膜3となるSiO₂膜14を緻密化するための熱処理工程、Si基板1中に導入された不純物を活性化するための熱処理工程など、Si基板1に溝2を形成した後に行われる熱処理時に、活性領域4の交差部分の近傍に加わるストレスを従来に比べて緩和することができる。そのため、Si基板1に溝2を形成した後熱処理を行うようにしても、その熱処理によって、Si基板1中にリーク電流を増大させる原因となる結晶欠陥が発生するのを抑制することができるので、信頼性の高い半導体装置を得ることができる。

【0053】次に、この発明の第2の実施形態について説明する。図7は、この発明の第1の実施形態による半導体装置の平面図である。

【0054】この第2の実施形態による半導体装置においては、活性領域4が互いに90°以下の角度で交差する部分を有する場合に、活性領域4のうちのその交差部分を除去し、この除去部の両端の活性領域4を上層配線6によって相互に接続している。

【0055】例えば、図7Aは、この第2の実施形態による半導体装置のうち、従来の半導体装置の図12Aに示す部分、すなわち、活性領域104を90°屈曲させた活性領域の直角屈曲部に相当する部分の近傍を示す。図7A中、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとは互いに垂直な方向に延在するものであり、活性領域4a、4bの幅は例えば0.数μm〜数μm程度である。

【0056】図7Aに示すように、この第2の実施形態による半導体装置のうち、活性領域の直角屈曲部に相当する部分においては、活性領域4のうち、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとが交差する部分の近傍が除去され、この除去部にフィールド絶縁膜3が設けられている。図7Aに示す例では、丁度、活性領域4のL字形のコーナー部に相当する部分

の近傍が除去され、本来L字形に交差（屈曲）すべき部分が、フィールド絶縁膜3によって分断された活性領域4aと活性領域4bとにより構成されている。そして、活性領域4の除去部に設けられたフィールド絶縁膜3によって分断された活性領域4aと活性領域4bとが、層間絶縁膜5（図7Aにおいては図示せず）上に設けられた上層配線6によって相互に接続されている。図7A中、符号7は、層間絶縁膜5に設けられた接続孔を示す。

【0057】また、図7Bおよび図7Cは、この第2の実施形態による半導体装置のうち、従来の半導体装置の図12Bおよび図12Cに示す部分、すなわち、活性領域104を互いに90°の角度で交差させた活性領域の直角交差点に相当する部分の近傍を示す。図7Bおよび図7C中、縦方向に延在する活性領域4a'の中心線と活性領域4a''の中心線とは互いに一致し、横方向に延在する活性領域4b'の中心線と活性領域4b''の中心線とは互いに一致する。また、活性領域4a'、4a''の中心線と活性領域4b'、4b''の中心線とは互いに直交する。活性領域4a'、4a''、4b'、4b''の幅は例えば0.数μm〜数μm程度である。

【0058】図7Bおよび図7Cに示すように、この第2の実施形態による半導体装置のうち、活性領域の直角屈曲部に相当する部分においても同様に、活性領域4のうち、縦方向に延在する活性領域4aと横方向に延在する活性領域4bとが交差する部分の近傍が除去され、この除去部にフィールド絶縁膜3が設けられている。図7Bに示す例では、丁度、活性領域4の十字形状の交差点に相当する部分の近傍が除去され、本来十字形状に交差すべき部分がフィールド絶縁膜3によって分断された活性領域4a'、4a''と活性領域4b'、4b''とにより構成されている。図7Cに示す例では、丁度、活性領域4のT字形の交差点に相当する部分の近傍が除去され、本来T字形に交差すべき部分が、フィールド絶縁膜3によって分断された活性領域4aと活性領域4b'、4b''とに構成されている。そして、活性領域4の除去部に設けられたフィールド絶縁膜3によって分断された活性領域4a'、4a''、4b'、4b''および活性領域4a、4b'、4b''が、それぞれ、層間絶縁膜5（図7Bおよび図7Cにおいては図示せず）上に設けられた上層配線6によって相互に接続されている。

【0059】分断された活性領域4同士を相互に接続する上層配線6は、図8に示すように、層間絶縁膜5に設けられた接続孔7の部分で、Wプラグ9およびTiN/Ti膜8を介して活性領域4とコンタクトしている。

【0060】ここで、図9に、この発明の第2の実施形態の変形例を示す。ここで、図9A〜図9Cは、それぞれ、図7A〜図7Cに対応する部分を示している。図7

に示す例と図9に示す変形例とを比較すると、図7に示す例では、活性領域4のコーナー部に相当する部分または活性領域4の交差点に相当する部分が除去されているのに対して、図9に示す変形例では、活性領域4のコーナー部に隣接する部分または活性領域4の交差点に隣接する部分が除去されている。具体的には、図9Aに示す例では、活性領域4のL形状のコーナー部に隣接する部分のうち、横方向に延在する活性領域4b側の部分が除去され、本来L形状に屈曲すべき部分が、フィールド絶縁膜3によって分断された活性領域4aと活性領域4bとに構成されている。また、図9Bに示す例では、活性領域4の十字形状の交差点に隣接する部分のうち、活性領域4b側の部分が除去され、本来十字形状に交差すべき部分が、フィールド絶縁膜3によって分断された活性領域4aと活性領域4b'、4b''とに構成されている。図9Cに示す例では、活性領域4のT形状の交差点に隣接する部分のうち、活性領域4a側の部分が除去され、本来T形状に交差すべき部分が、フィールド絶縁膜3によって分断された活性領域4aと活性領域4bとに構成されている。

【0061】また、図示は省略するが、この第2の実施形態による半導体装置のうち、従来の半導体装置において活性領域104が互いに90°より小さい角度で交差する部分に相当する部分も、上述の図7A～図7Cまたは図9A～図9Cに示すと同様に、活性領域4のうちのその交差部分が除去され、この除去部の両端の活性領域4が上層配線6によって相互に接続されている。

【0062】この第2の実施形態による半導体装置の上記以外の構成は、第1の実施形態による半導体装置と同様であるので、説明を省略する。

【0063】この第2の実施形態による半導体装置の製造方法は、図8に示すように、交差部分を除去することによって分断された活性領域4が相互に接続されるように、層間絶縁膜5に接続孔7を形成し、かつ、層間絶縁膜5上に上層配線6を形成すること以外は、第1の実施形態による半導体装置の製造方法と同様であるので、説明を省略する。

【0064】上述のように構成されたこの第2の実施形態によれば、活性領域4が互いに90°以下の角度で交差する部分を有する場合に、活性領域4のうちのその交差部分を除去し、この除去部の両端の活性領域4を上層配線6によって相互に接続して、活性領域4が互いに90°以下の角度で交差する部分をSi基板1から取り除くようにしていることにより、第1の実施形態と同様な利点を得ることができる。なお、この第2の実施形態では、層間絶縁膜5上に上層配線6を形成する際に、この上層配線6の材料を用いて分断された活性領域4を相互に接続するようにしているため、半導体装置を製造する際の工程数は増加しない。

【0065】以上この発明の実施形態について具体的に

説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えば、上述の第1および第2の実施形態において挙げた形状、数値、構造、材料、プロセスなどはあくまで例にすぎず、必要に応じて、これらと異なる形状、数値、構造、材料、プロセスなどを用いてもよい。

【0066】また、上述の第1の実施形態と第2の実施形態とを適宜組み合わせてもよい。具体的には、例えば、半導体装置のうち、活性領域の直角屈曲部に相当する部分を第1の実施形態におけると同様に構成し、活性領域の直角交差点に相当する部分を第2の実施形態におけると同様に構成してもよい。また、半導体装置のうち、活性領域の直角屈曲部（または直角交差点）に相当する部分の一部を第1の実施形態におけると同様に構成し、残りを第2の実施形態におけると同様に構成してもよい。

【0067】

【発明の効果】以上説明したように、この発明の第1の実施形態によれば、活性領域が互いに90度以下の角度で交差する部分を有する場合に、その交差部分の近傍における活性領域を90度より大きい角度で屈曲させ、その交差部分の周囲における溝のコーナー部を切除していることにより、溝形成後の熱処理時に、活性領域の交差部分の近傍に加わるストレスを従来に比べて緩和することができる。そのため、半導体基板に溝を形成した後に熱処理を行うようにしても、その熱処理によって半導体基板中に結晶欠陥が発生するのを抑制することができる。これにより、リーク電流が低減された信頼性の高い半導体装置を得ることができる。

【0068】この発明の第2の実施形態によれば、活性領域が互いに90度以下の角度で交差する部分を有する場合に、活性領域のうちのその交差部分を除去し、この除去部の両端の活性領域を配線によって相互に接続し、活性領域が互いに90度以下の角度で交差する部分を半導体基板から取り除くようにしていることにより、半導体基板に溝を形成した後に熱処理を行うようにしても、その熱処理によって半導体基板中に結晶欠陥が発生するのを抑制することができる。これにより、リーク電流が低減された信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態による半導体装置の平面図である。

【図2】 この発明の第1の実施形態による半導体装置の断面図である。

【図3】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】 この発明の第1の実施形態による半導体装置

の製造方法を説明するための断面図である。

【図6】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

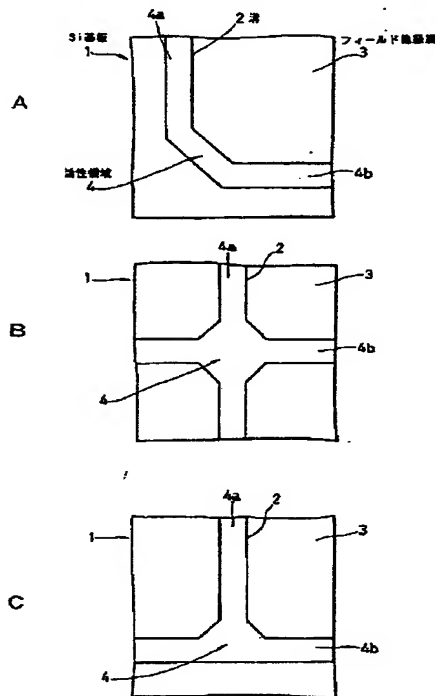
【図7】 この発明の第2の実施形態による半導体装置の平面図である。

【図8】 この発明の第2の実施形態による半導体装置の断面図である。

【図9】 この発明の第2の実施形態の変形例による半導体装置の平面図である。

【図10】 STI法によるSi基板の素子分離方法を*10

【図1】



*説明するための断面図である。

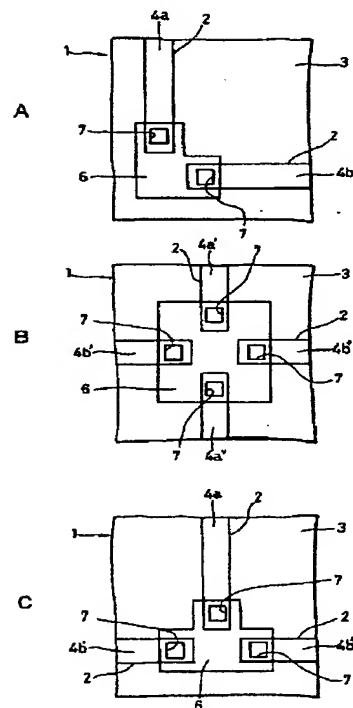
【図11】 STI法によるSi基板の素子分離方法を説明するための断面図である。

【図12】 従来の半導体装置の平面図である。

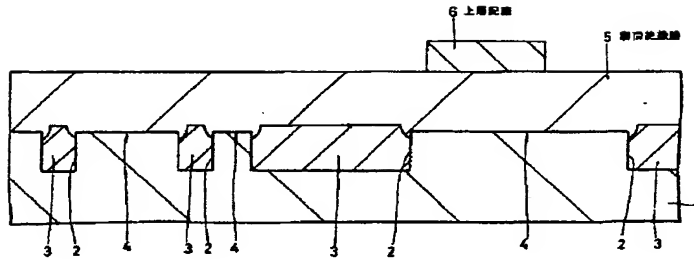
【符号の説明】

1・・・Si基板、2・・・溝、3・・・フィールド絶縁膜、4、4a、4a'、4a''、4b、4b'、4b''・・・活性領域、11・・・パッド酸化膜、12・・・Si、N、膜、14・・・SiO₂膜

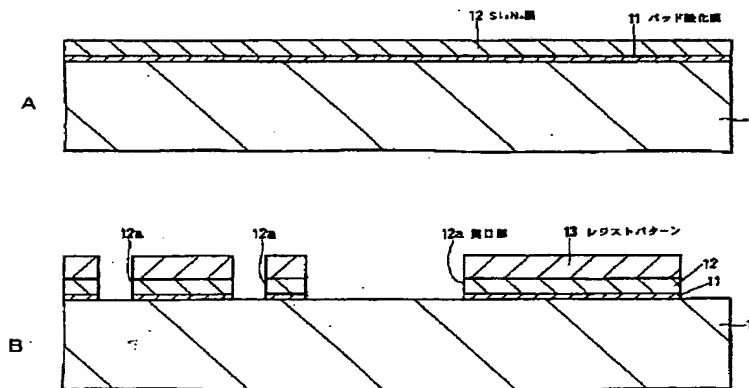
【図7】



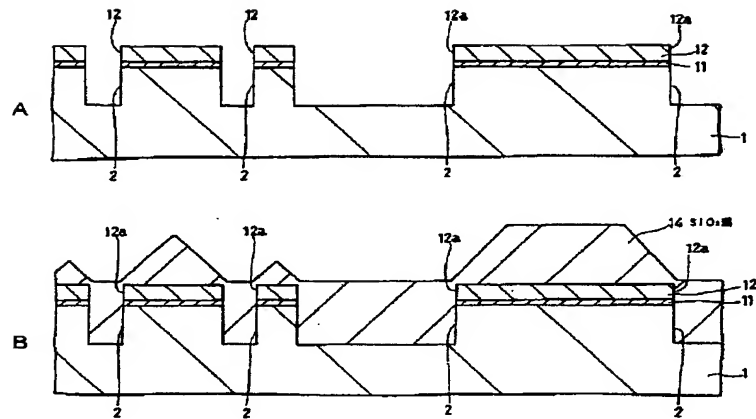
【図2】



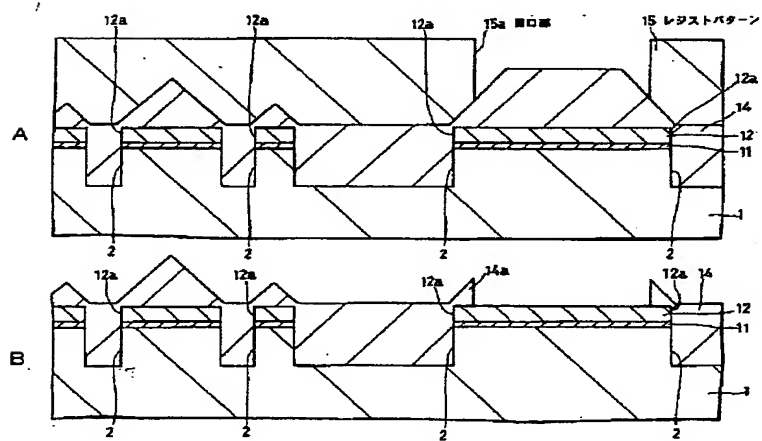
【図3】



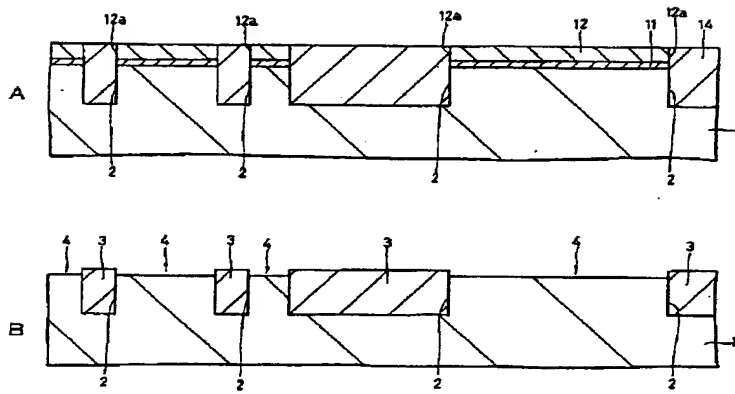
【図4】



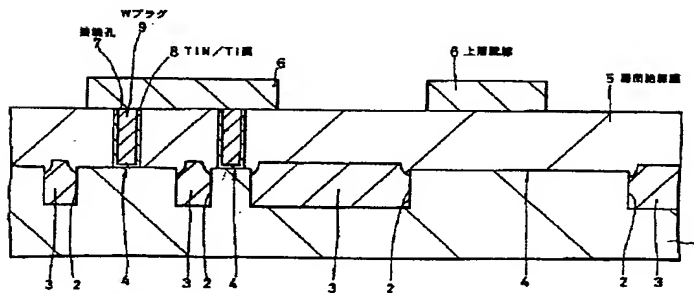
【図5】



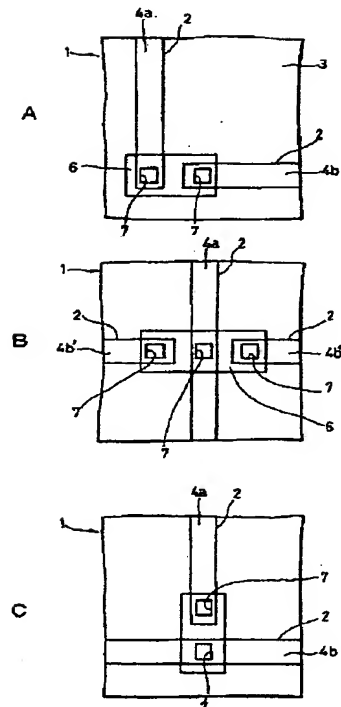
【図6】



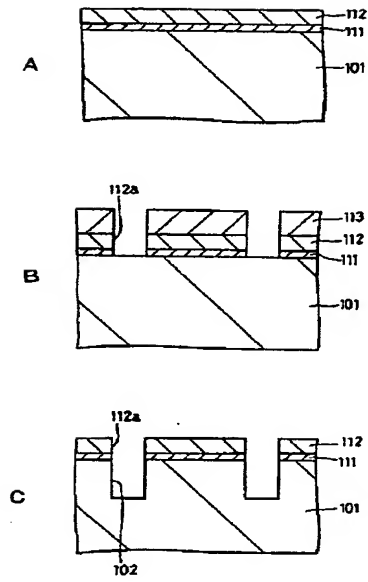
【図8】



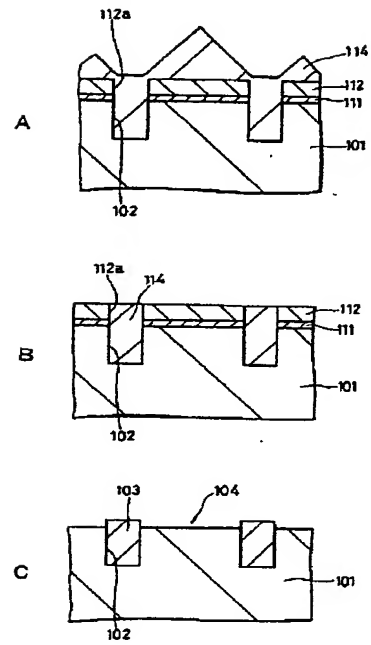
【図9】



【図10】



【図11】



【図12】

